



Panchip Microelectronics Co., Ltd.

PAN2025

产品说明书

2.4GHz RF 收发器 SoC

版本: 1.4
发布日期: 2021.11

上海磐启微电子有限公司

地址: 中国 (上海) 自由贸易试验区盛夏路 666 号 D 栋 302 室

电话: 021-50802371

网址: <http://www.panchip.com>

文档说明

由于版本升级或存在其他原因，本文档内容会不定期进行更新。除非另有约定，本文档内容仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

商标

磐启是磐启微电子有限公司的商标。本文档中提及的其他名称是其各自所有者的商标/注册商标。

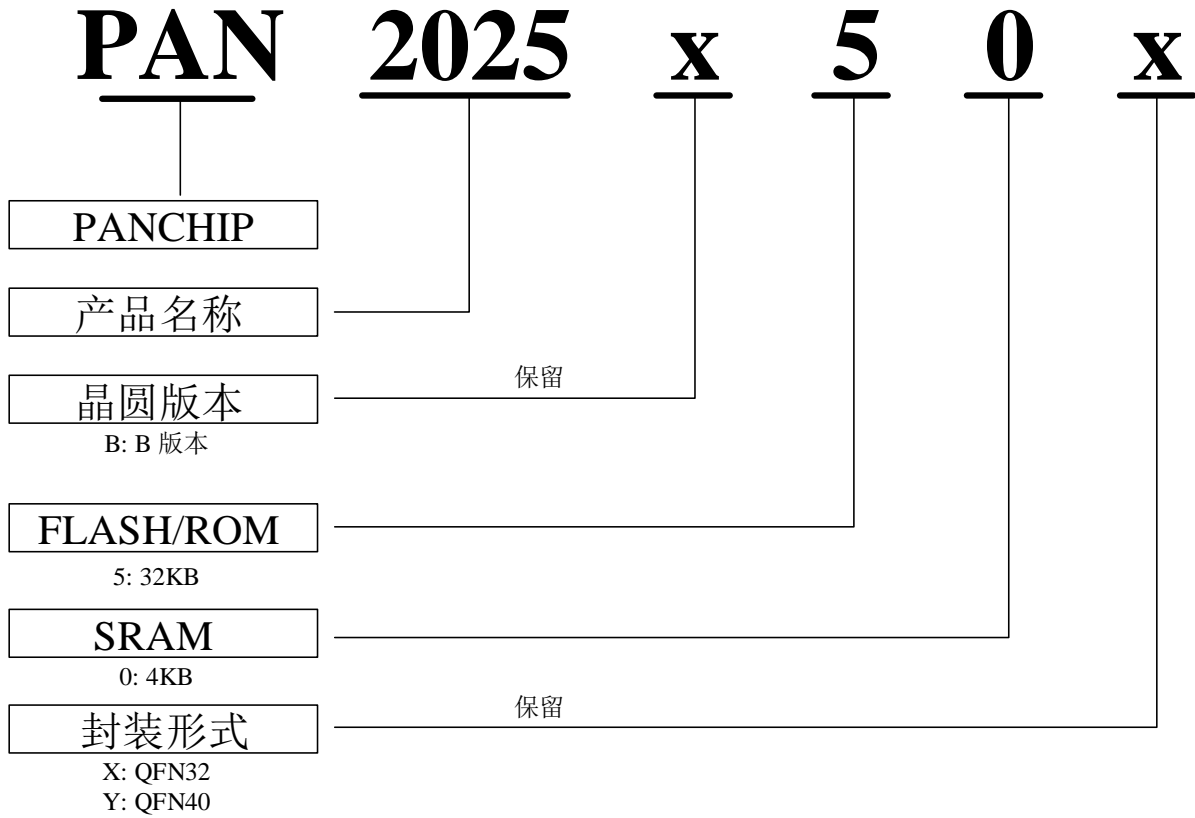
免责声明

本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，磐启微电子有限公司对本文档内容不做任何明示或暗示的声明或保证。

修订历史

版本	日期	内容	相关文档
v1.0	2019.03	初版	-
v1.1	2020.02	更新： 工作电压：2.2~3.6V	-
v1.2	2020.10	更新不同版本下 ADC 的电压范围。 更新 RF 的内容。	-
v1.3	2021.01	更新“参考原理图”章节	-
v1.4	2021.11	更新“主要特性”章节的低功耗特性参数	-

命名规则



产品型号

产品系列	晶圆版本	MCU	Flash	SRAM	Package	Timer	PWM	ADC	I/O	连接		
										UART	I2C	SPI
PAN2025B50X	B	72 MHz	32 KB	4 KB	QFN32	2×32bits	8	7ch 12bits	21	4	1	1
PAN2025B50Y	B	72 MHz	32 KB	4 KB	QFN40	2×32bits	8	8ch 12bits	24	4	1	1

目录

命名规则	II
产品型号	III
目录	IV
缩略语	VII
1 概述	1
1.1 主要特性	1
1.2 典型应用	4
2 系统结构框图	5
3 引脚定义和说明	6
3.1 QFN32 引脚（兼容 PAN163）	6
3.1.1 QFN32 引脚图	6
3.1.2 QFN32 引脚说明	6
3.2 QFN40 引脚（兼容 PAN159）	10
3.2.1 QFN40 引脚图	10
3.2.2 QFN40 引脚描述	10
4 参考原理图	14
4.1 QFN32 参考原理图	14
4.2 QFN40 参考原理图	14
5 封装尺寸	15
5.1 QFN32 封装尺寸	15
5.2 QFN40 封装尺寸	16
6 注意事项	17
7 储存条件	18

图目录

图 2-1 PAN2025 系统结构框图	5
图 3-1 QFN32 引脚图	6
图 3-2 QFN40 引脚图	10
图 4-1 QFN32 参考原理图	14
图 4-2 QFN40 参考原理图	14
图 5-1 QFN32 封装三视图	15
图 5-2 QFN40 封装三视图	16

表目录

表 3-1 QFN32 引脚说明	6
表 3-2 QFN40 引脚说明	10
表 5-1 QFN32 封装细节参数	15
表 5-2 QFN40 封装细节参数	16

缩略语

ADC	模数转换器
APROM	用户程序存储区
BOD	掉电电测
BOM	物料清单
DPLL	数字锁相环
DSSS	直接序列扩频
ESD	回声探测仪
GFSK	高斯频移键控
GPIO	通用输入输出
I2C	双向二线制同步串行总线
ISM	工业,科学、医学
ISP	在系统编程
LDO	低压差线性稳压器
LDRAM	程序装载区
LVR	低电压复位
MCU	微控制单元
PWM	脉冲宽度调制
RCH	16 MHz 内部高速 RC 振荡器
RCL	32 KHz 内部高速 RC 振荡器
RF	射频
RSSI	接收的信号强度指示
SPI	串行外设接口
SRAM	静态随机存取存储器
SWD	串行线调试
UART	通用异步接收器/发送器
WDT	看门狗定时器
WWDT	窗口看门狗定时器

1 概述

PAN2025是一款内嵌32位MCU和2.4GHz收发器的SoC芯片。该收发器适用于2.400~2.483GHz全球ISM频段。它集成了射频（RF）发射器和接收器，频率合成器，晶体振荡器，基带GFSK调制解调器等。PAN2025支持一对多网络和ACK通信。TX功率，频率通道和数据速率都是可配置的。同时，芯片中还集成了多个外部组件。

另外，PAN2025中的32位MCU支持从低端，价格敏感的设计到计算密集型设计的应用，并为经济型产品提供了先进的高端功能。

PAN2025最高运行频率可达72 MHz，支持2.2V ~ 3.6V的宽工作电压范围，工作温度-40°C ~ 85°C。对于PAN2025，嵌入式程序flash大小高达32KB，SRAM高达4KB。它还为ISP提供可配置的闪存大小。

PAN2025具有许多高性能外设功能，例如16 MHz内部RC振荡器（校准后精度为±1%），高达24个GPIO引脚，3个32位定时器，4个UART，1个SPI接口，1个I2C接口，1个8通道的16位PWM发生器，一个8通道12位ADC，看门狗定时器，窗口看门狗定时器，两个模拟比较器和欠压检测器。所有这些外设都已集成到PAN2025中，以减少元件数量，电路板空间和系统成本。

此外，PAN2025还配备了ISP（在系统编程）和ICP（在线编程）功能，允许用户更新程序存储器而无需从实际的最终产品中移出芯片。PAN2025还支持在应用程序编程（IAP）功能，这意味着在嵌入式闪存更新后，用户切换执行代码而无需复位芯片。PAN2025包括了QFN32和QFN40两种封装形式，QFN32封装与PAN163兼容，而QFN40封装与PAN159兼容。

1.1 主要特性

- RF
 - 无线
 - 频段：2.400~2.483GHz
 - 码率：1Mbps, 250Kbps
 - 调制方式：DSSS 和 GFSK
 - PAN2025B 版本的 RF 通信推荐使用 RX 模式
 - 接收器
 - -94dBm@250K bps+GFSK
 - -91dBm@1Mbps+GFSK
 - -100dBm@1Mbps+DSSS
 - 发射器
 - 可编程输出功率：12, 10, 8, 7, 6, 5, 4, 3, 2, 1, 0 或 -4dBm
 - 25mA@0dBm
 - 55mA@10dBm
- 内核
 - 32 位 MCU 运行速度高达 72 MHz
 - 一个 24 位系统定时器
 - 支持低功耗空闲模式
 - 一个单周期 32 位硬件乘法器

- 支持串行线调试 (SWD) 接口, 支持两个观察点/四个中断点
- 内置 LDO, 支持宽工作电压范围: 2.2V ~ 3.6V
- 内存
 - 29 KB Flash 存储器用于存储程序代码 (APROM)
 - 可配置的 Flash 存储器用于存储数据 (Data Flash)
 - 2 KB Flash 用于装载程序 (LDROM)
 - 4 KB SRAM 用于内部高速数据缓存(SRAM)
- 低功耗
 - 激活模式 RX: 40mA
 - 0dBm 激活模式 TX: 50mA
 - 10dBm 激活模式 TX: 68mA
 - 待机模式 (外部中断, CPU 掉电): 0.2uA
 - 待机模式 (外部中断, CPU 掉电, SRAM Retention): 1uA
 - 待机模式 (睡眠定时器运行, CPU 掉电): 2.5uA
 - 待机模式 (睡眠定时器运行, CPU 掉电, SRAM Retention): 3.3uA
- 时钟
 - 可编程的系统时钟源
 - 内置 16 MHz 内部高速振荡器 (RCH)用于系统操作 (在 25°C、5V 环境下, 精确度为 1%)
 - 内置 32 KHz 内部低速振荡器 (RCL)用于 WDT 定时器和唤醒操作
 - 内部 DPLL 允许 CPU 运行频率最高为 72 MHz
- I/O 口
 - QFN32 封装高达 21 根通用 IO(GPIO)引脚
 - QFN40 封装高达 24 根通用 IO(GPIO)引脚
 - 四种 I/O 模式:
 - 准双向输入/输出
 - 推挽输出
 - 开漏输出
 - 高阻态输入
 - 可选择施密特触发输入
- 定时器
 - 提供三个 32 位定时器, 每个定时器包括一个 8 位预分频计数器和一个 24 位向上计数器
 - 支持时间计数模式
 - 支持触发输出模式
 - 支持外部触发脉冲宽度测量模式
 - 支持外部触发脉冲捕捉模式
- WDT
 - 可编程时钟源和时间溢出周期

- 可从掉电模式或空闲模式下唤醒
- 可选择在看门狗溢出后中断还是复位
- WWDT
 - 6 位向下计数值(CNTDAT)和 6 位比较值(CMPDAT)使得 WWDT 溢出窗口周期可灵活设置
 - 支持 4 位数值(PSCSEL)编程 WWDT 计数器预分频值，最大可达 11 位。
- PWM
 - 高达 4 个内置 16 位 PWM 发生器，提供 8 个 PWM 输出或 4 对互补 PWM 输出
 - 每个 PWM 发生器拥有独立的时钟源、时钟分频器、8 位预分频器和死区时间发生器
- UART
 - 四个 UART 设备
 - 接收器和发射器都有缓冲，均为 8 字节 FIFO
 - 可编程波特率发生器，波特率高达一个系统时钟
- SPI
 - 一个 SPI 设备
 - 主机时钟高达 24 MHz，从机高达 10 MHz
 - 支持主机/从机模式
 - 全双工同步串行数据传输
- I2C
 - 一个 I2C 设备
 - 支持主从模式
 - 主从机间双向数据传输
- ADC
 - PAN2025B 版本模拟输入电压范围：0~2V 或 0~VDD
 - 保证了 12 位分辨率和 10 位精度
 - 多达 12 个单端输入通道，其中包括一个内部 VDD，一个 GND，一个 bandgap 和一个 RSSI（这四个通道没有封装出来）
- 可通过 ISP (在系统编程)、ICP (在电路编程)和 IAP (在应用编程)更新程序
- BOD
 - 4 个可编程的阈值电平：3.0V/2.7V/2.4V/2.2V
 - 支持欠压中断和复位选项
- 32 位唯一的 ID
- LVR
 - 阈值电压电平：2.0±0.1V
- 工作温度：-40℃~85℃
- 工作电压：2.2V~3.6V

- 可靠性：
 - ESD HBM 可达±5KV
 - ESD CDM 可达±2000V
 - ESD MM 可达±300V
- 封装：
 - QFN32, 5 × 5
 - QFN40, 5 × 5

1.2 典型应用

- 小四轴飞行器
- 遥控玩具
- 智能家居
- 电视及机顶盒遥控

2 系统结构框图

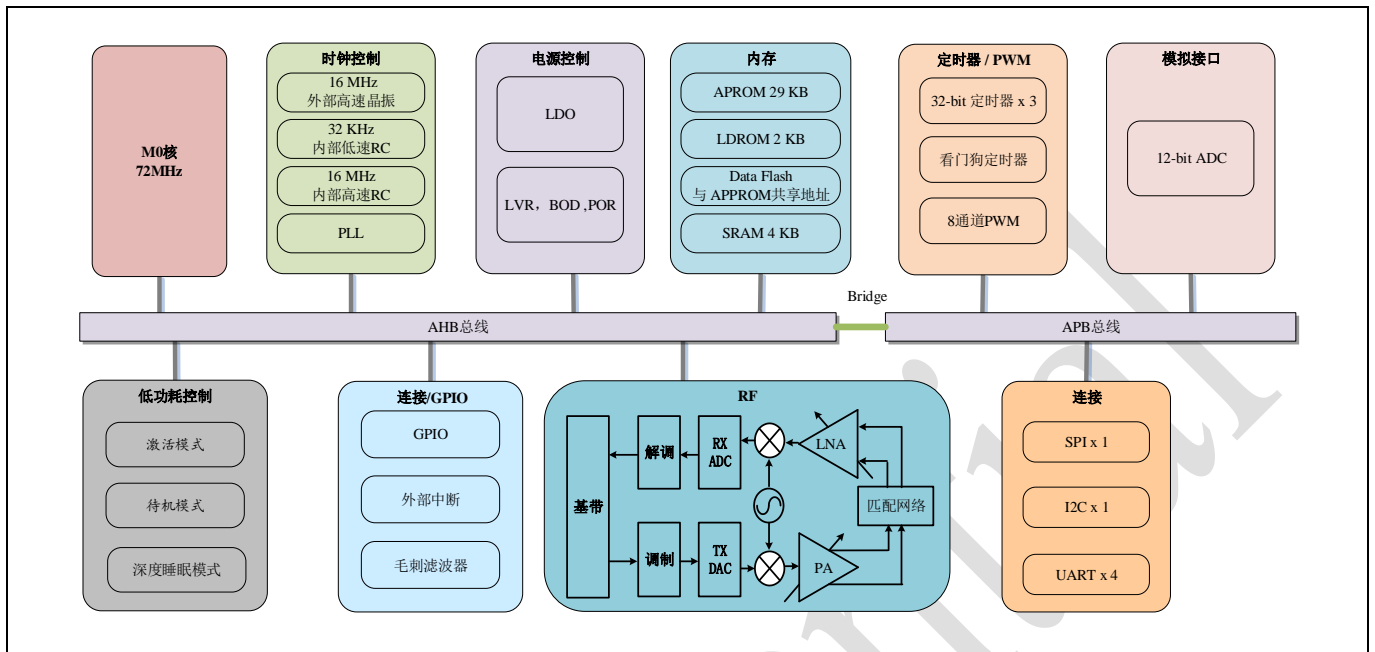


图 2-1 PAN2025 系统结构框图

3 引脚定义和说明

3.1 QFN32 引脚（兼容 PAN163）

3.1.1 QFN32 引脚图

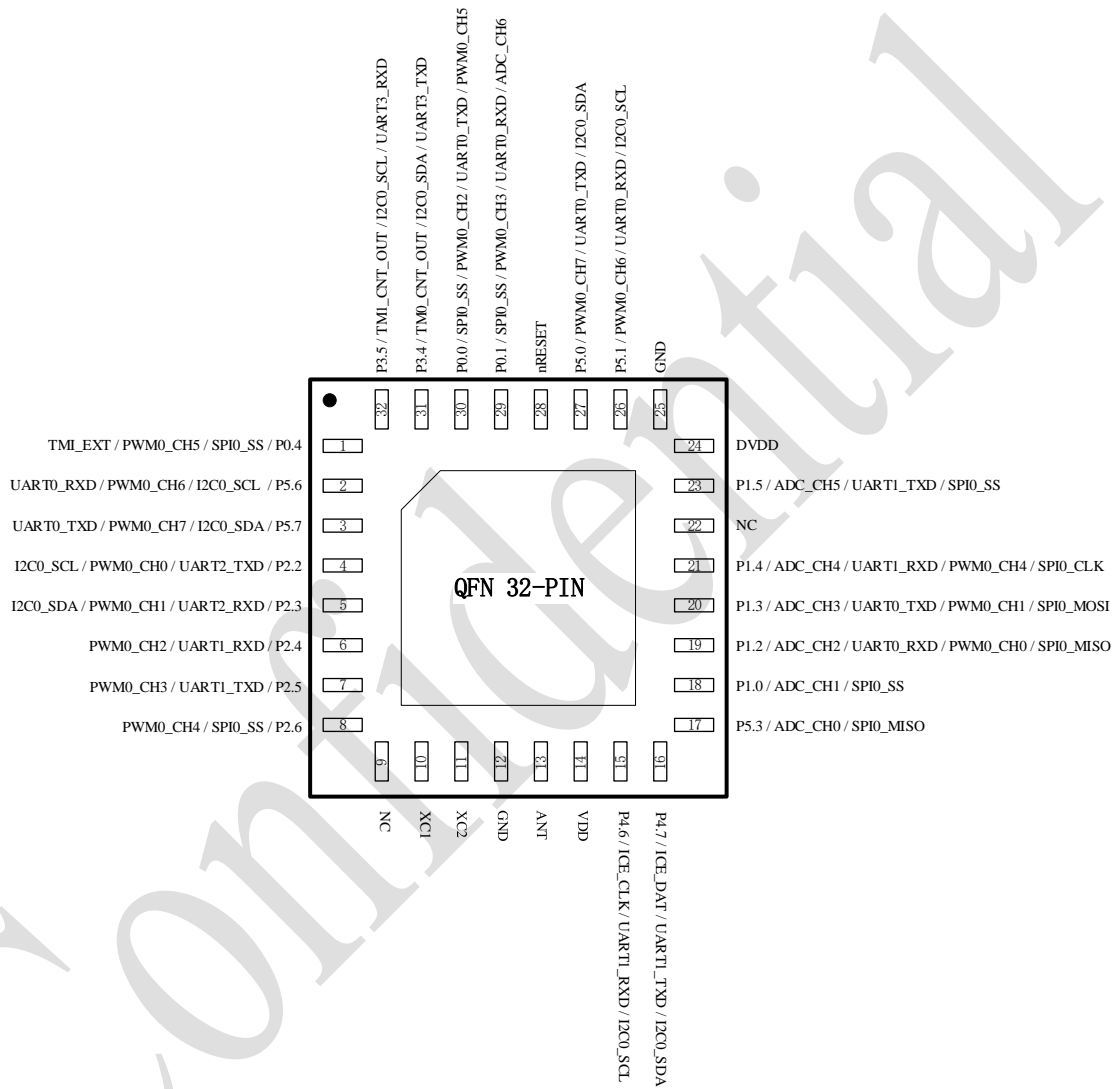


图 3-1 QFN32 引脚图

3.1.2 QFN32 引脚说明

具体的引脚说明参见表 3-1。

表 3-1 QFN32 引脚说明

引脚端序号	符号	IO 类型	描述
1	P0.4	I/O	通用 I/O 引脚

	SPI0_SS	O	SPI0 SS 引脚
	PWM0_CH5	O	PWM0 通道 5 输出引脚
	TM1_EXT	I	定时器 1 外部输入引脚
2	P5.6	I/O	通用 I/O 引脚
	I2C0_SCL	I/O	I2C0 CLK 引脚
	PWM0_CH6	O	PWM0 通道 6 输出引脚
	UART0_RXD	I	UART0 RX 引脚
3	P5.7	I/O	通用 I/O 引脚
	I2C0_SDA	I/O	I2C0 Data 引脚
	PWM0_CH7	O	PWM0 通道 7 输出引脚
	UART0_TXD	O	UART0 TX 引脚
4	P2.2	I/O	通用 I/O 引脚
	UART2_TXD	O	UART2 TX 引脚
	PWM0_CH0	O	PWM0 通道 0 输出引脚
	I2C0_SCL	I/O	I2C0 CLK 引脚
5	P2.3	I/O	通用 I/O 引脚
	UART2_RXD	I	UART2 RX 引脚
	PWM0_CH1	O	PWM0 通道 1 输出引脚
	I2C0_SDA	I/O	I2C0 Data 引脚
6	P2.4	I/O	通用 I/O 引脚
	UART1_RXD	I	UART1 RX 引脚
	PWM0_CH2	O	PWM0 通道 2 输出引脚
7	P2.5	I/O	通用 I/O 引脚
	UART1_TXD	O	UART1 TX 引脚
	PWM0_CH3	O	PWM0 通道 3 输出引脚
8	P2.6	I/O	通用 I/O 引脚
	SPI0_SS	O	SPI0 SS 引脚
	PWM0_CH4	O	PWM0 通道 4 输出引脚
9	-	-	-
10	XC1	AI	晶振引脚 1
11	XC2	AO	晶振引脚 2
12	GND	P	地
13	ANT	AIO	天线引脚
14	VDD	P	SoC 电源 VDD 引脚
15	P4.6	I/O	通用 I/O 引脚
	ICE_CLK	I	ICE Clk 输入引脚
	UART1_RXD	O	UART1 RX 引脚

	I2C0_SCL	I/O	I2C0 CLK 引脚
16	P4.7	I/O	通用 I/O 引脚
	ICE_DAT	I	调试和程序数据引脚
	UART1_TXD	O	UART1 TX 引脚
	I2C0_SDA	I/O	I2C0 Data 引脚
17	P5.3	I/O	通用 I/O 引脚
	ADC_CH0	AI	ADC 通道 0 模拟输入引脚
	SPI0_MISO	I	SPI0 MISO 引脚
18	P1.0	I/O	通用 I/O 引脚
	ADC_CH1	AI	ADC 通道 1 模拟输入引脚
	SPI0_SS	O	SPI0 SS 引脚
19	P1.2	I/O	通用 I/O 引脚
	ADC_CH2	AI	ADC 通道 2 模拟输入引脚
	UART0_RXD	I	UART0 RX 引脚
	PWM0_CH0	O	PWM0 通道 0 输出引脚
	SPI0_MISO	I	SPI0 MISO 引脚
20	P1.3	I/O	通用 I/O 引脚
	ADC_CH3	AI	ADC 通道 3 模拟输入引脚
	UART0_TXD	O	UART0 TX 引脚
	PWM0_CH1	O	PWM0 通道 1 输出引脚
	SPI0_MOSI	I	SPI0 MOSI 引脚
21	P1.4	I/O	通用 I/O 引脚
	ADC_CH4	AI	ADC 通道 4 模拟输入引脚
	UART1_RXD	I	UART1 RX 引脚
	PWM0_CH4	O	PWM0 通道 4 输出引脚
	SPI0_CLK	O	SPI0 CLK 引脚
22	-	-	-
23	P1.5	I/O	通用 I/O 引脚
	ADC_CH5	AI	ADC 通道 5 模拟输入引脚
	UART1_TXD	O	UART1 TX 引脚
	SPI0_SS	O	SPI0 SS 引脚
24	DVDD	P	内核电源，由内部 LDO 产生
25	GND	P	地
26	P5.1	I/O	通用 I/O 引脚
	PWM0_CH6	O	PWM0 通道 6 输出引脚
	UART0_RXD	I	UART0 RX 引脚
	I2C0_SCL	I/O	I2C0 CLK 引脚

27	P5.0	I/O	通用 I/O 引脚
	PWM0_CH7	O	PWM0 通道 7 输出引脚
	UART0_TXD	O	UART0 TX 引脚
	I2C0_SDA	I/O	I2C0 Data 引脚
28	nRESET	I	Reset 引脚
29	P0.1	I/O	通用 I/O 引脚
	SPI0_SS	O	SPI0 SS 引脚
	PWM0_CH3	O	PWM0 通道 3 输出引脚
	UART0_RXD	I	UART0 RX 引脚
	ADC_CH6	AI	ADC 通道 6 模拟输入引脚
30	P0.0	I/O	通用 I/O 引脚
	PWM0_CH2	O	PWM0 通道 2 输出引脚
	UART0_TXD	O	UART0 TX 引脚
	SPI0_SS	O	SPI0 SS 引脚
	PWM0_CH5	O	PWM0 通道 5 输出引脚
31	P3.4	I/O	通用 I/O 引脚
	TM0_CNT_OUT	O	TM0_CNT 输出引脚
	I2C0_SDA	I/O	I2C0 Data 引脚
	UART3_TXD	O	UART3 TX 引脚
32	P3.5	I/O	通用 I/O 引脚
	TM1_CNT_OUT	O	TM1_CNT 输出引脚
	I2C0_SCL	I/O	I2C0 CLK 引脚
	UART3_RXD	I	UART3 RX 引脚
33	GND	P	地

3.2 QFN40 引脚（兼容 PAN159）

3.2.1 QFN40 引脚图

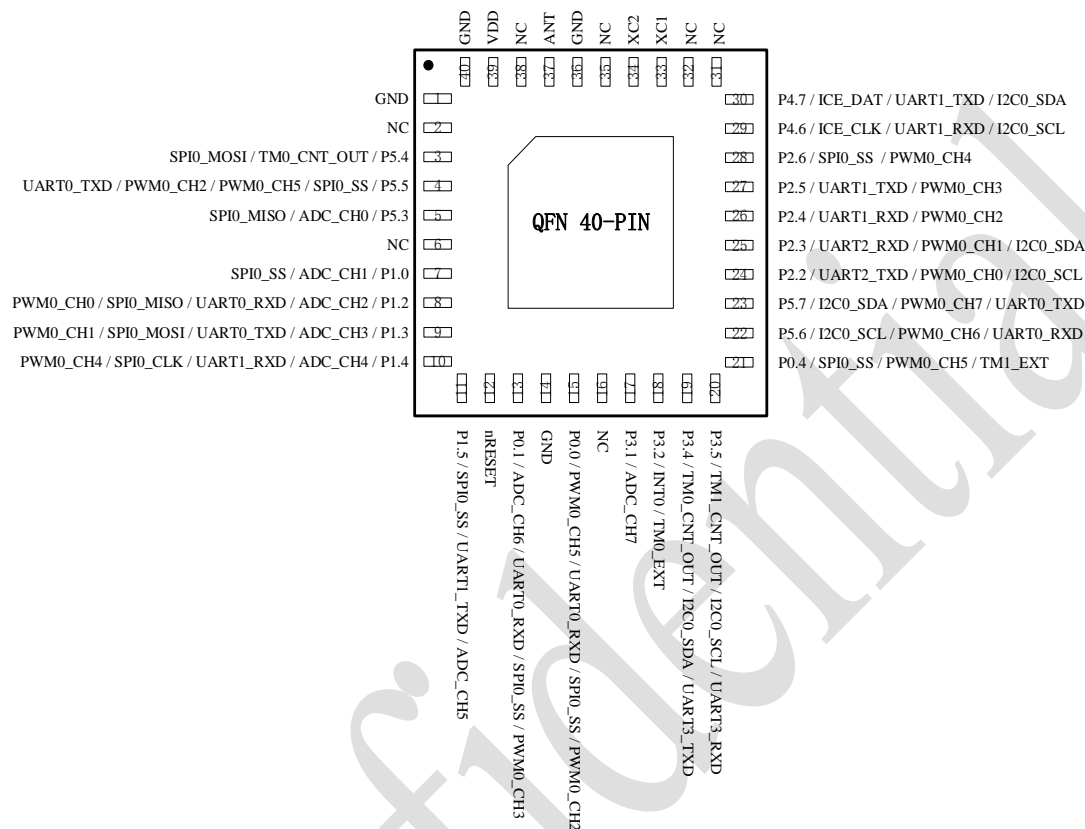


图 3-2 QFN40 引脚图

3.2.2 QFN40 引脚描述

具体的引脚说明参见表 3-2。

表 3-2 QFN40 引脚说明

引脚端序数	符号	IO 类型	描述
1	GND	P	地
2	-	-	-
3	P5.4	I/O	通用 I/O 引脚
	TM0_CNT_OUT	O	TM0_CNT 输出引脚
	SPI0_MOSI	I	SPI0 MOSI 引脚
4	P5.5	I/O	通用 I/O 引脚
	SPI0_SS	O	SPI0 SS 引脚
	PWM0_CH5	O	PWM0 通道 5 输出引脚

	PWM0_CH2	O	PWM0 通道 2 输出引脚
	UART0_TXD	O	UART0 TX 引脚
5	P5.3	I/O	通用 I/O 引脚
	ADC_CH0	AI	ADC 通道 0 模拟输入引脚
	SPI0_MISO	I	SPI0 MISO 引脚
6	-	-	-
7	P1.0	I/O	通用 I/O 引脚
	ADC_CH1	AI	ADC 通道 1 模拟输入引脚
	SPI0_SS	O	SPI0 SS 引脚
8	P1.2	I/O	通用 I/O 引脚
	ADC_CH2	AI	ADC 通道 2 模拟输入引脚
	UART0_RXD	I	UART0 RX 引脚
	SPI0_MISO	O	SPI0 SS 引脚
	PWM0_CH0	O	PWM0 通道 0 输出引脚
9	P1.3	I/O	通用 I/O 引脚
	ADC_CH3	AI	ADC 通道 3 模拟输入引脚
	UART0_TXD	O	UART0 TX 引脚
	SPI0_MOSI	I	SPI0 MOSI 引脚
	PWM0_CH1	O	PWM0 通道 1 输出引脚
10	P1.4	I/O	通用 I/O 引脚
	ADC_CH4	AI	ADC 通道 4 模拟输入引脚
	UART1_RXD	I	UART1 RX 引脚
	SPI0_CLK	O	SPI0 CLK 引脚
	PWM0_CH4	O	PWM0 通道 4 输出引脚
11	P1.5	I/O	通用 I/O 引脚
	ADC_CH5	AI	ADC 通道 5 模拟输入引脚
	UART1_TXD	O	UART1 TX 引脚
	SPI0_SS	O	SPI0 SS 引脚
12	nRESET	I	Reset 引脚
13	P0.1	I/O	通用 I/O 引脚
	ADC_CH6	AI	ADC 通道 6 模拟输入引脚
	UART0_RXD	I	UART0 RX 引脚
	SPI0_SS	O	SPI0 SS 引脚
	PWM0_CH3	O	PWM0 通道 3 输出引脚
14	GND	P	地
15	P0.0	I/O	通用 I/O 引脚
	PWM0_CH5	O	PWM0 通道 5 输出引脚

	UART0_TXD	O	UART0 TX 引脚
	SPI0_SS	O	SPI0 SS 引脚
	PWM0_CH2	O	PWM0 通道 2 输出引脚
16	-	-	-
17	P3.1	I/O	通用 I/O 引脚
	ADC_CH7	AI	ADC 通道 7 模拟输入引脚
18	P3.2	I/O	通用 I/O 引脚
	INT0	I	外部中断输入引脚 0
	TM0_EXT	I	定时器 0 外部输入引脚
19	P3.4	I/O	通用 I/O 引脚
	TM0_CNT_OUT	O	TM0_CNT 输出引脚
	I2C0_SDA	I/O	I2C0 Data 引脚
	UART3_TXD	O	UART3 TX 引脚
20	P3.5	I/O	通用 I/O 引脚
	TM1_CNT_OUT	O	TM1_CNT 输出引脚
	I2C0_SCL	I/O	I2C0 CLK 引脚
	UART3_RXD	I	UART3 RX 引脚
21	P0.4	I/O	通用 I/O 引脚
	SPI0_SS	O	SPI0 SS 引脚
	PWM0_CH5	O	PWM0 通道 5 输出引脚
	TM1_EXT	I	定时器外部输入引脚 1
22	P5.6	I/O	通用 I/O 引脚
	I2C0_SCL	I/O	I2C0 CLK 引脚
	PWM0_CH6	O	PWM0 通道 6 输出引脚
	UART0_RXD	I	UART0 RX 引脚
23	P5.7	I/O	通用 I/O 引脚
	I2C0_SDA	I/O	I2C0 Data 引脚
	PWM0_CH7	O	PWM0 通道 7 输出引脚
	UART0_TXD	O	UART0 TX 引脚
24	P2.2	I/O	通用 I/O 引脚
	UART2_TXD	O	UART2 TX 引脚
	PWM0_CH0	O	PWM0 通道 0 输出引脚
	I2C0_SCL	I/O	I2C0 CLK 引脚
25	P2.3	I/O	通用 I/O 引脚
	UART2_RXD	I	UART2 RX 引脚
	PWM0_CH1	O	PWM0 通道 1 输出引脚
	I2C0_SDA	I/O	I2C0 Data 引脚
26	P2.4	I/O	通用 I/O 引脚

	UART1_RXD	I	UART1 RX 引脚
	PWM0_CH2	O	PWM0 通道 2 输出引脚
27	P2.5	I/O	通用 I/O 引脚
	UART1_TXD	O	UART1 TX 引脚
	PWM0_CH3	O	PWM0 通道 3 输出引脚
28	P2.6	I/O	通用 I/O 引脚
	SPI0_SS	O	SPI0 SS 引脚
	PWM0_CH4	O	PWM0 通道 4 输出引脚
29	P4.6	I/O	通用 I/O 引脚
	ICE_CLK	I	ICE Clk 输入引脚
	UART1_RXD	I	UART1 RX 引脚
	I2C0_SCL	I/O	I2C0 CLK 引脚
30	P4.7	I/O	通用 I/O 引脚
	ICE_DAT	I	调试和程序数据引脚
	UART1_TXD	O	UART1 TX 引脚
	I2C0_SDA	I/O	I2C0 Data 引脚
31	-	-	-
32	-	-	-
33	XC1	AI	晶振引脚 1
34	XC2	AO	晶振引脚 2
35	-	-	-
36	GND	P	地
37	ANT	AIO	天线引脚
38	-	-	-
39	VDD	P	Soc 电源 VDD 引脚
40	GND	P	地
41	GND	P	地

4 参考原理图

4.1 QFN32 参考原理图

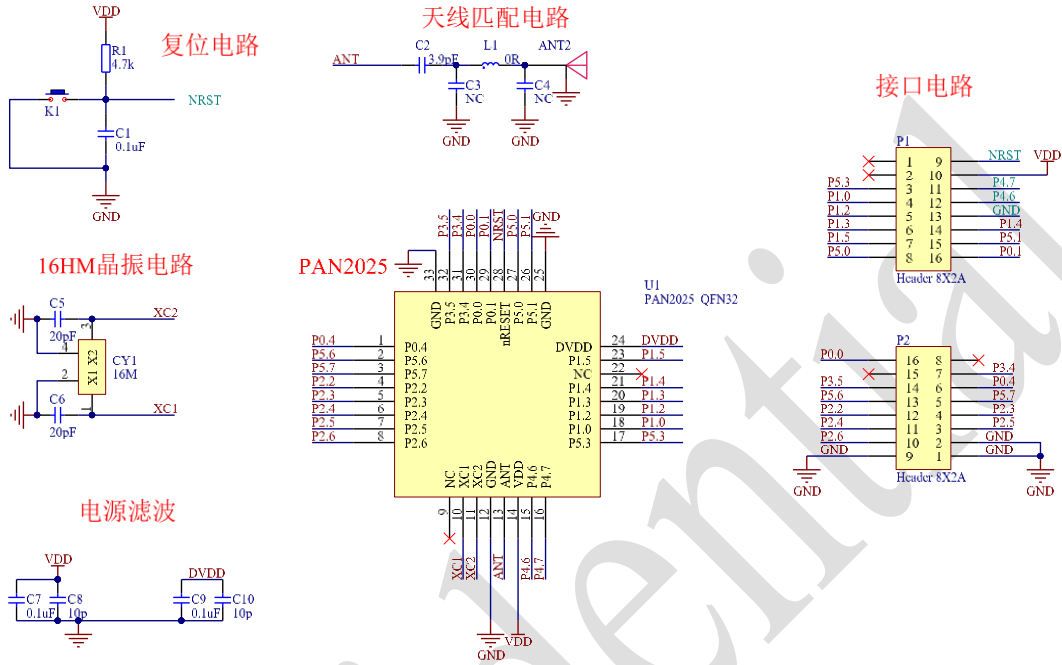


图 4-1 QFN32 参考原理图

4.2 QFN40 参考原理图

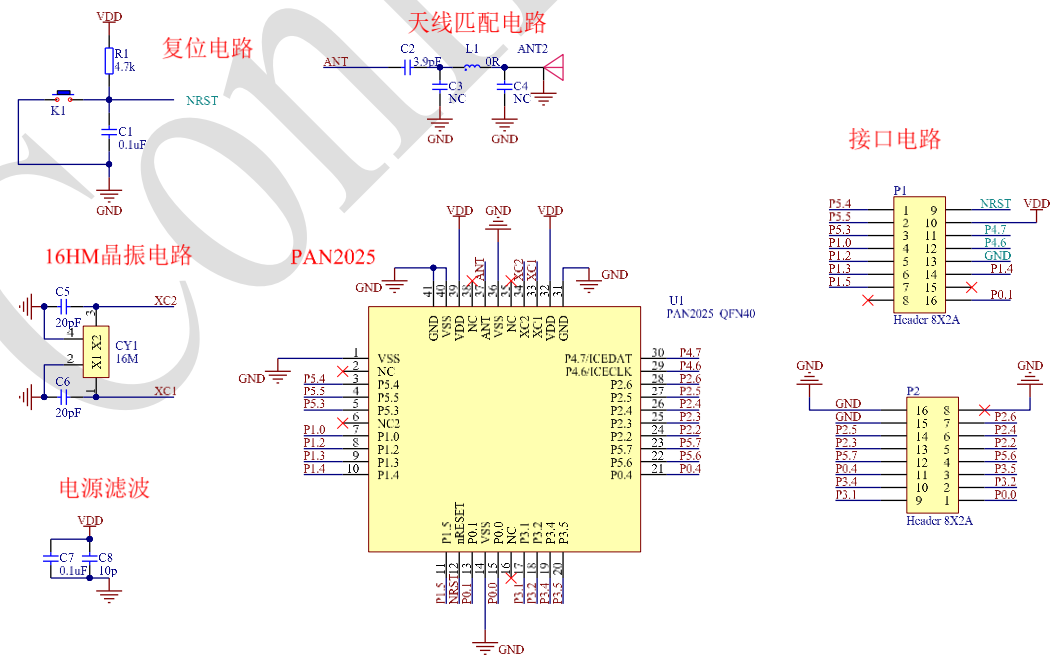


图 4-2 QFN40 参考原理图

5 封装尺寸

5.1 QFN32 封装尺寸

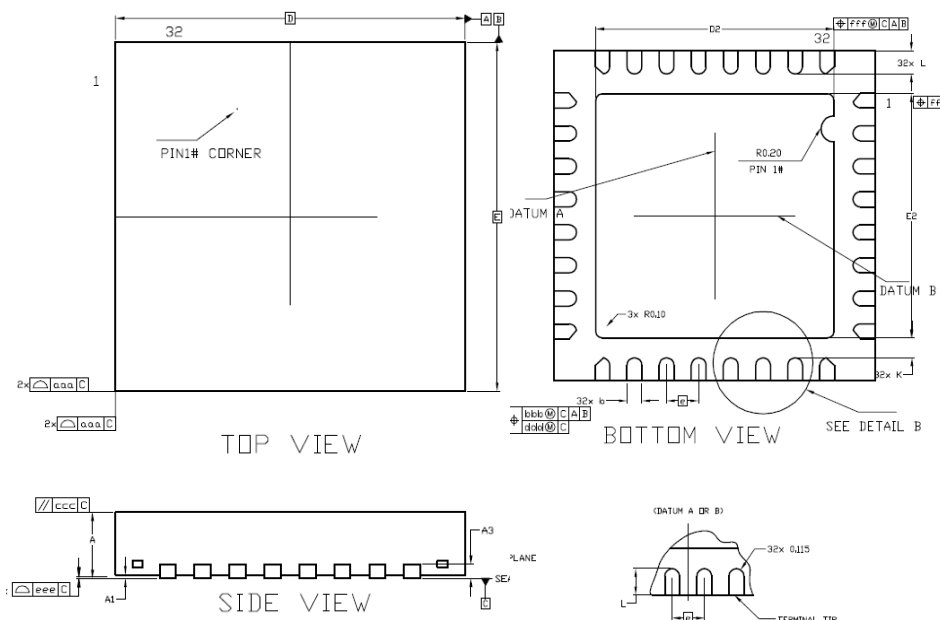


图 5-1 QFN32 封装三视图

表 5-1 QFN32 封装细节参数

符号	最小(mm)	典型(mm)	最大(mm)
A	0.70	0.75	0.80
	0.85	0.90	0.95
A1	0	0.02	0.05
A3	-	0.20 REF	-
b	0.18	0.23	0.28
D	5.00BSC		
E	5.00BSC		
D2	3.55	3.65	3.75
E2	3.55	3.65	3.75
e	0.50BSC		
L	0.30	0.35	0.40
K	0.20	-	-
aaa	0.15		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

5.2 QFN40 封装尺寸

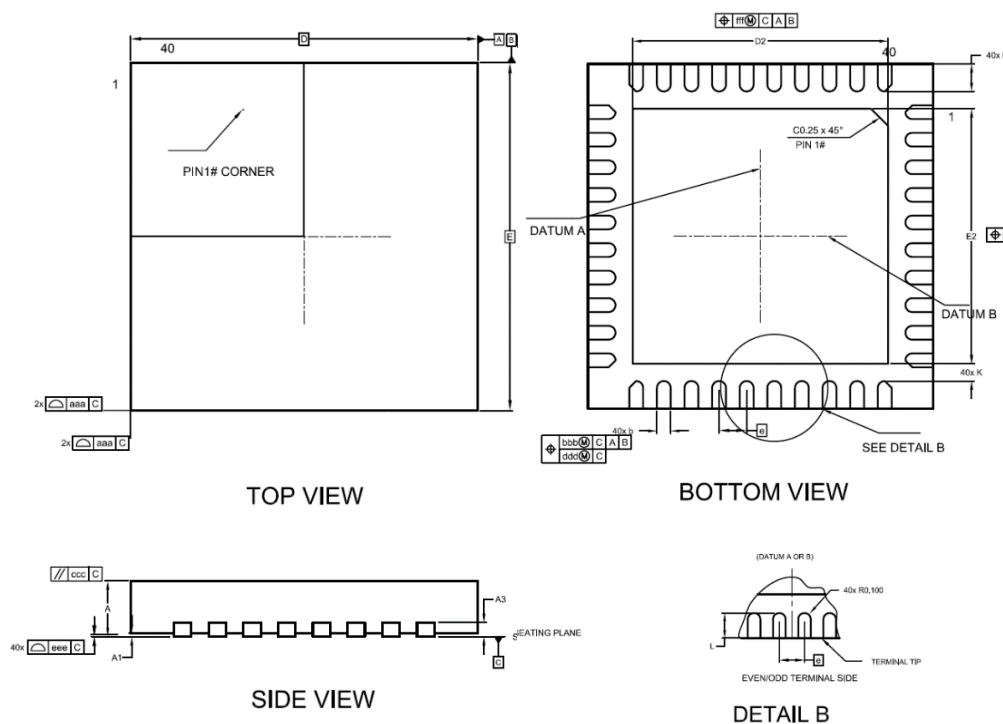


图 5-2 QFN40 封装三视图

表 5-2 QFN40 封装细节参数

符号	最小(mm)	典型(mm)	最大(mm)
A	0.70	0.75	0.80
	0.85	0.90	0.95
A1	0	0.02	0.05
A3	-	0.20REF	-
b	0.15	0.20	0.25
D	5.0BSC		
E	5.0BSC		
D2	3.60	3.70	3.80
E2	3.60	3.70	3.80
e	0.40BSC		
L	0.35	0.40	0.45
K	0.20	-	-
aaa	0.10		
bbb	0.07		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

6 注意事项

- 1) 该产品属 CMOS 器件，在储存、运输、使用过程中要注意防静电。
- 2) 器件使用时接地要良好。
- 3) 回流焊温度不能超过 260°C。

Confidential

7 储存条件

- (1) 产品在密封包装中储存：在温度小于 30°C 且湿度小于 90%时，可达 12 个月。
- (2) 包装袋被打开后，元器件将被回流焊制程或其他的高温制程所采用时必须符合：
 - a) 在 72 小时内且工厂环境为小于 $30^{\circ}\text{C} \leq 60\% \text{RH}$ 完成；
 - b) 保存在 10%RH 环境下；
 - c) 使用前进行 125°C，24h 烘烤去除内部水汽。

Confidential